

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-114646

(43)Date of publication of application : 07.05.1993

(51)Int.Cl.

H01L 21/76

(21)Application number : 03-275868

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.10.1991

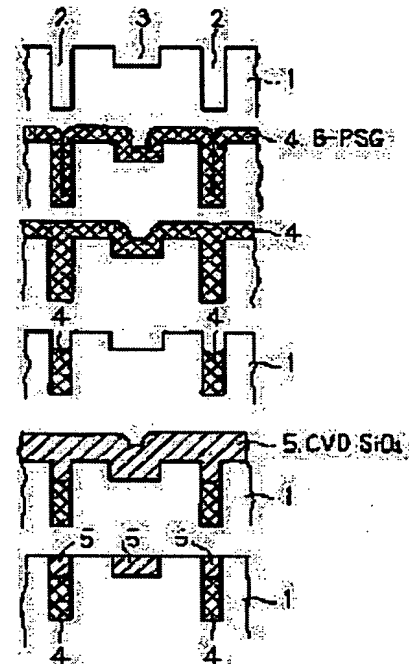
(72)Inventor : NISHIMURA TETSUKAZU  
WATARI KIYOTO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To reduce the number of manhours, enhanced coating during film formation, miniaturization of elements and high speed processing of elements by forming a shallower trench than an isolation trench in order to replace prior art selection oxidation, burying an insulating material with the separation trench simultaneously so as to form a field oxide film and then carrying out planarization processing.

**CONSTITUTION:** A deep trench 2 for element isolation and a shallow trench 3 for a selection oxide film are formed in an element isolation area on a Si substrate. Both trenches are buried into the substrate based on a CVD process where a B-PSG film 4 grows on the substrate. In a nitriding atmosphere, it is heated and melted. The B-PSG film 4 is etched to a depth of the shallow trench 3 and remain only on the lower part of the deep trench 2. The both trenches are buried so that a CVD SiO<sub>2</sub> film 5 may grow on the substrate. They are polished or etched back up to the front surface of the substrate. This construction makes it possible to reduce the number of manhours, enhance coating during film formation, miniaturize elements and speed up the elements as well.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-114646

(43) 公開日 平成5年(1993)5月7日

(51) Int.Cl.<sup>5</sup>  
H 0 1 L 21/76識別記号 庁内整理番号  
L 9169-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全4頁)

(21) 出願番号 特願平3-275868

(22) 出願日 平成3年(1991)10月24日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 西村 哲一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 渡り 清人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

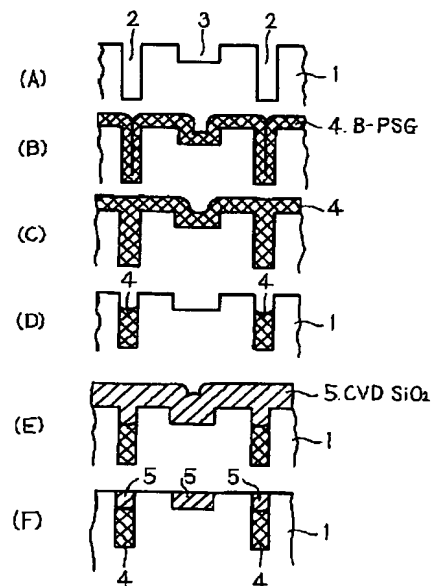
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 トレンチと選択酸化膜を有する素子形成に関し、工程数の低減、成膜時の被覆改善、素子の微細化、素子の高速化を目的とする。

【構成】 1) 半導体基板1の素子分離領域に深いトレンチ2と選択酸化膜形成領域に浅いトレンチ3を形成する工程と、前記両方のトレンチに絶縁物を該基板の表面まで埋め込む工程と、該素子分離領域に囲まれた該基板内に素子を形成する工程とを有する、2) 半導体基板1の素子分離領域に深いトレンチ2と選択酸化膜形成領域に浅いトレンチ3を形成する工程と、該両方のトレンチを埋め込んでB-PSG膜4を成長し、該B-PSG膜を溶解する工程と、該B-PSG膜を浅いトレンチの深さまでエッチバックする工程と、両方のトレンチを埋め込んでCVD SiO<sub>2</sub>膜5を成長して基板表面までエッチバックまたは研磨する工程と、該素子分離領域に囲まれた該基板内に素子を形成する工程とを有するように構成する。

実施例の断面図



(2)

特開平5-114646

1

【特許請求の範囲】

【請求項1】 半導体基板1の素子分離領域に深いトレンチ2と選択酸化膜形成領域に浅いトレンチ3を形成する工程と、  
前記両方のトレンチに絶縁物を該基板の表面まで埋め込む工程と、  
該素子分離領域に囲まれた該基板内に素子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板1の素子分離領域に深いトレンチ2と選択酸化膜形成領域に浅いトレンチ3を形成する工程と、  
該両方のトレンチを埋め込んで硼素ドーパのりん珪酸ガラス(B-PSG)膜4を成長し、該B-PSG膜を溶解する工程と、  
該B-PSG膜を浅いトレンチの深さまでエッチバックする工程と、  
両方のトレンチを埋め込んで気相成長(CVD)による二酸化シリコン( $\text{SiO}_2$ )膜5を成長して基板表面までエッチバックまたは研磨する工程と、  
該素子分離領域に囲まれた該基板内に素子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、トレンチ(U溝)で分離され且つ表面に選択酸化膜(フィールド酸化膜)を有する素子の形成方法に関する。

【0002】 近年のLSIは高速化、高集積化が進み、極限の微細化、と高性能化が要求されている。

【0003】

【従来の技術】 従来のトレンチで分離され且つ表面に選択酸化膜を有するトランジスタにおいては、選択酸化(LCOS)法によりシリコン(Si)基板表面を選択酸化してから、素子分離領域にトレンチを形成し、トレンチ内に絶縁物を介してポリシリコン等を埋め込んでいた。

【0004】 図3(A)～(D)および図4(E)～(F)は従来例を説明する断面図である。図3(A)において、選択酸化法により、シリコン(Si)基板1上に選択酸化膜6を形成する。

【0005】 図3(B)において、素子分離領域にトレンチ2を形成する。図3(C)において、熱酸化によりトレンチ2内の表面に酸化膜7を形成する。次いで、トレンチ2内の酸化膜7を覆って基板上に気相成長(CVD)法による窒化シリコン( $\text{Si}_3\text{N}_4$ )膜8を成長する。

【0006】 図3(D)において、CVD法により、トレンチ2内を埋め込んで基板上にポリシリコン膜9を成長する。図4(E)において、基板表面のポリシリコン膜9をポリッシングして、トレンチ内のみ残す。

【0007】 図4(F)において、 $\text{Si}_3\text{N}_4$ 膜8をマスクにした熱酸化により、トレンチ内のポリシリコン膜9の上

2

部に酸化膜10を形成する。次いで、 $\text{Si}_3\text{N}_4$ 膜8を除去する。

【0008】 この後、通常の工程によりトレンチに囲まれた基板内に素子形成を行う。

【0009】

【発明が解決しようとする課題】 従来例の工程では、工程数が多く、選択酸化の際にパズピークと呼ばれる酸化膜が素子形成領域内に成長して高集積化を阻害し、選択酸化膜と基板との段差によるリソグラフィ精度の低下や成膜の際の段差被覆不良の発生、また、選択酸化膜が基板内に深く入らないために不純物の横方向拡散を必要領域内に抑えられない等の問題が生じていた。

【0010】 従って、製造コストの低減、素子の微細化ができなく、また接合容量の低減ができないため素子の高速化が阻害されていた。本発明はトレンチと選択酸化膜を有する素子形成において、工程数の低減、成膜時の被覆改善、素子の微細化、素子の高速化を図ることを目的とする。

【0011】

【課題を解決するための手段】 上記課題の解決は、1) 半導体基板1の素子分離領域に深いトレンチ2と選択酸化膜形成領域に浅いトレンチ3を形成する工程と、前記両方のトレンチに絶縁物を該基板の表面まで埋め込む工程と、該素子分離領域に囲まれた該基板内に素子を形成する工程とを有する半導体装置の製造方法、あるいは2) 半導体基板1の素子分離領域に深いトレンチ2と選択酸化膜形成領域に浅いトレンチ3を形成する工程と、該両方のトレンチを埋め込んで硼素ドーパのりん珪酸ガラス(B-PSG)膜4を成長し、該B-PSG膜を溶解する工程と、該B-PSG膜を浅いトレンチの深さまでエッチバックする工程と、両方のトレンチを埋め込んで気相成長(CVD)による二酸化シリコン( $\text{SiO}_2$ )膜5を成長して基板表面までエッチバックまたは研磨する工程と、該素子分離領域に囲まれた該基板内に素子を形成する工程とを有する半導体装置の製造方法により達成される。

【0012】

【作用】 本発明では、従来の選択酸化の代わりに分離用トレンチより浅いトレンチを形成し、分離用トレンチと同時に絶縁物を埋め込んでフィールド酸化膜とし、次いで平坦化処理を行っている。

【0013】 この形成を可能とする工程の一例は以下の通りである。基板に素子分離用の深いトレンチと選択酸化膜用の浅いトレンチとを形成し、B-PSGを成長し、その後メルトしてトレンチ内に充填し、その後、B-PSGを浅いトレンチの深さまでエッチバックして深いトレンチの下部にのみ残し、次いで両方のトレンチを埋め込んでCVD  $\text{SiO}_2$ 膜を成長して基板表面までエッチバックまたは研磨して平坦化する。

【0014】 以上の工程は従来工程より簡単である。また本発明では、浅いトレンチを用いた選択酸化膜が基板

3

内に深く形成できるため、従来例に比し不純物の横方向の拡散が抑制できる。且つその表面が基板表面と同じ高さに形成できるため、基板の平坦化が改善される。

【0015】

【実施例】図1(A)～(F)は本発明の実施例を説明する断面図である。図1(A)において、Si基板1に素子分離領域に素子分離用の深いトレンチ2および選択酸化膜用の浅いトレンチ3を形成する。

【0016】トレンチの形成はレジスト膜をマスクにしたSiの異方性エッチングにより行う。Siのエッチングの条件の一例を次に示す。

【0017】

反応ガス：Cl<sub>2</sub>+BCl<sub>3</sub>

ガス圧力：0.1 Torr

RF電力：450 W

次いで、CVD法により、両方のトレンチ内を埋め込んで基板上にB-PSG膜4を成長する。

【0018】B-PSGの成長条件の一例を次に示す。

反応ガス：TEOS バブリング 3.0 SLM

O<sub>2</sub> 7.5 SLM

TMOP バブリング 1.5 SLM

TEB バブリング 2.0 SLM

O<sub>3</sub> 100 g/Nm<sup>2</sup>

ガス圧力：760 Torr (常圧)

基板温度：400℃

図1(B)において、基板を酸素雰囲気中で900℃に加熱して、B-PSG膜4をメルトする[図1(C)]。

【0019】図1(D)において、B-PSG膜4を浅いトレンチ3の深さまでエッチバックし、深いトレンチ2の下部にのみ残す。B-PSGのエッチングはフッ酸系のエッチャントを用いたウエットエッチングによる。

【0020】図1(E)において、両方のトレンチ内を埋め込んで基板上にCVD SiO<sub>2</sub>膜5を成長する。SiO<sub>2</sub>の成長条件の一例を次に示す。

【0021】

反応ガス：SiH<sub>4</sub>/N<sub>2</sub>O

ガス圧力：1 Torr

基板温度：800℃

図1(F)において、CVD SiO<sub>2</sub>膜5を基板表面まで研磨(またはエッチバック)する。

【0022】この後、通常の工程によりトレンチに囲まれた基板内に素子形成を行う。図2は実施例を適用した

(3)

特開平5-114646

4

バイポーラトランジスタの断面図である。図において、12は高濃度n型(n<sup>+</sup>型)埋込層、13はn型エピタキシャルSi層、14はp型ベース領域、15はn<sup>+</sup>型エミッタ領域、16はn<sup>+</sup>型コレクタコンタクト領域、17はベース引き出し用1層目ポリシリコン膜、18はエミッタおよびコレクタ用2層目ポリシリコン膜、19は電極である。

【0023】

【発明の効果】本発明によれば、トレンチと選択酸化膜を有する素子の形成において、工程数の低減、成膜時の被覆改善、素子の微細化、素子の高速化を図ることができた。

【0024】この結果、半導体装置の高集積、高密度化と性能向上に寄与することができた。

【図面の簡単な説明】

【図1】 本発明の実施例を説明する断面図

【図2】 実施例を適用したバイポーラトランジスタの断面図

【図3】 従来例を説明する断面図(1)

【図4】 従来例を説明する断面図(2)

【符号の説明】

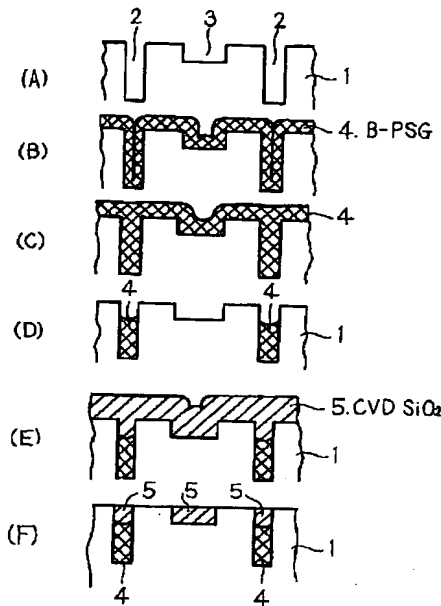
- 1 半導体基板でSi基板
- 2 素子分離用の深いトレンチ
- 3 選択酸化膜用の浅いトレンチ
- 4 埋込絶縁膜でB-PSG膜
- 5 本発明の選択酸化膜(フィールド酸化膜)でCVD SiO<sub>2</sub>膜
- 6 従来の選択酸化膜(フィールド酸化膜)で熱酸化SiO<sub>2</sub>膜
- 7 トレンチ内酸化膜
- 8 トレンチ内窒化膜
- 9 埋込用ポリシリコン膜
- 10 トレンチ上部の酸化膜
- 12 n<sup>+</sup>型埋込層
- 13 n型エピタキシャルSi層
- 14 p型ベース領域
- 15 n<sup>+</sup>型エミッタ領域
- 16 n<sup>+</sup>型コレクタコンタクト領域
- 17 ベース引き出し用1層目ポリシリコン膜
- 18 エミッタおよびコレクタ引き出し用2層目ポリシリコン膜
- 19 電極

(4)

特開平5-114646

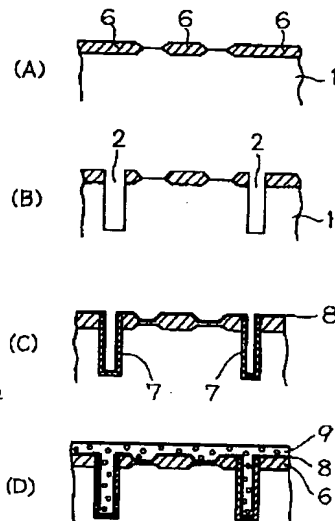
【図1】

実施例の断面図



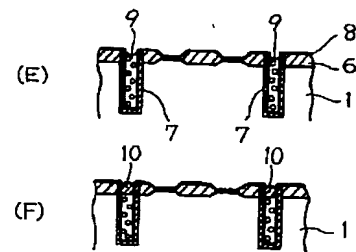
【図3】

従来例の断面図(1)



【図4】

従来例の断面図(2)



【図2】

実施例を適用したバイポーラトランジスタの断面図

